

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-144274**

(43)Date of publication of application : **25.05.2001**

(51)Int.Cl.

**H01L 27/12**

**H01L 21/02**

(21)Application number : **11-326935**

(71)Applicant : **DENSO CORP**

(22)Date of filing : **17.11.1999**

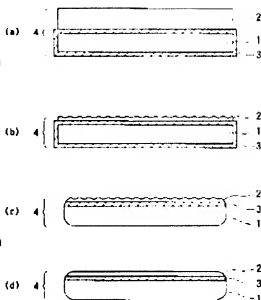
(72)Inventor : **FUJINO SEIJI**  
**HIMI KEIMEI**

## (54) METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce production cost of an SOI substrate while preventing production yield from lowering in the way of a process due to generation of particles.

**SOLUTION:** Two sheets of wafers are bonded through an oxide film 3 such that the major faces of a base wafer 1 and a bond wafer 2 face each other. Following to the bonding process, end parts of the bonded wafer are subjected to beveling. Rear surface of the bonded wafer 4 on the bond wafer 2 side is then subjected to surface grinding and mirror polishing to obtain an SOI layer of specified thickness. Since beveling is carried out after finishing heat treatment for bonding, conventionally required edge grinding or masking taping or alkaline etching process can be eliminated and production cost of a SOI wafer can be reduced. Furthermore, conventionally inevitable terrace structure can be eliminated and production yield can be prevented from lowering by suppressing generation of particles in the way of process due to stripping of a deposited film from the terrace part.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144274

(P2001-144274A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.<sup>7</sup>

識別番号

F I

テーマコード(参考)

H 0 1 L 27/12

H 0 1 L 27/12

B

21/02

21/02

B

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号

特願平11-326935

(22) 出願日

平成11年11月17日 (1999. 11. 17)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 藤野 誠二

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72) 発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74) 代理人 100100022

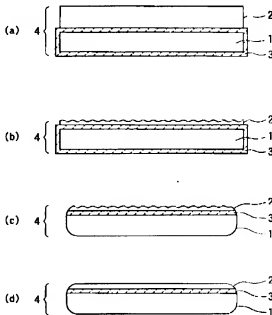
弁理士 伊藤 洋二 (外2名)

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 S O I 基板の製造コスト削減を図ると共に、プロセス途中のパーティクルの発生等の原因で歩留まりを低下させないようにする。

【解決手段】 酸化膜3を介して、ベースウェハ1及びボンドウェハ2の主面同士が向かい合うように2枚のウェハを結合させる。この結合工程を終了した後に、結合ウェハの端部にベベリング処理を施す。そして、結合ウェハ4のうちボンドウェハ2側の裏面を平面研磨および鏡面研磨して所定のS O I 層厚にする。このように、結合熱処理終了後にベベリング処理を行うことで、従来必要であったエッジ研削又はマスキングテープ貼りやアルカリエッチングの工程を削減でき、S O I ウェハの製造コスト削減を図れる。また、従来避けることができなかったテラス構造をなくすことができ、工程途中でテラス部から堆積膜が剥離することによるパーティクルの発生を抑制し、歩留まりの低下を防げる。



## 【特許請求の範囲】

【請求項1】 少なくとも主面が鏡面研磨された第1の半導体基板よりなるベースウェハ(1)と、少なくとも主面が鏡面研磨された第2の半導体基板よりなるボンドウェハ(2)とを用い、前記ベースウェハ及び前記ボンドウェハのうち少なくともいずれか一方の主面に酸化膜(3)を形成する工程と、

前記ベースウェハ及び前記ボンドウェハの主面同士が向かい合うように、前記酸化膜を介して前記ベースウェハ及び前記ボンドウェハを結合させ結合ウェハを形成する工程と、

前記結合ウェハのうち前記ボンドウェハ側の裏面を平面研削および鏡面研磨して所定のSOI層厚さにする工程と、を含む貼り合わせSOIウェハの製造方法において、

前記結合工程を終了した後に、前記結合ウェハの端部にベベリング処理を施すことを特徴とする半導体基板の製造方法。

【請求項2】 前記第1及び第2の半導体基板として、その外径が最終的に出来上がるSOIウェハの外径よりも大きな外径を持つ半導体基板を用いることを特徴とする請求項1に記載の半導体基板の製造方法。

【請求項3】 前記結合ウェハの端部に施すベベリング処理は、結合工程を終了した後、前記平面研削前に行うことを特徴とする請求項1又は2に記載の半導体基板の製造方法。

【請求項4】 前記結合ウェハの端部に施すベベリング処理は、前記平面研削終了後、前記鏡面研磨前に行うことを特徴とする請求項1又は2に記載の半導体基板の製造方法。

【請求項5】 前記結合ウェハの端部に施すベベリング処理は、前記鏡面研磨終了後に行うことを特徴とする請求項1又は2に記載の半導体基板の製造方法。

【請求項6】 前記第1及び第2の半導体基板として、ベベリング処理が施されていない半導体基板を用いることを特徴とする請求項1乃至5のいずれか1つに記載の半導体基板の製造方法。

【請求項7】 前記第1及び第2の半導体基板として、ベベリング処理が施されている半導体基板を用いることを特徴とする請求項1乃至5のいずれか1つに記載の半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複合IC、LSIを含む半導体装置一般に用いられる半導体基板の製造方法に関する。

## 【0002】

【従来技術】半導体基板上に中間絶縁膜を介して半導体層が配設されるSOI(シリコンオンインシュレータ)半導体装置は、バイポーラ、MOS、パワー素子等

の複数の種類の素子を1チップに搭載するもの、例えば複合ICや高耐圧ICおよび高速低消費電力が要求される携帯機器用LSIに用いるのに好適である。

【0003】SOI半導体装置を製造するには、基板としてSiO<sub>2</sub>のような絶縁物からなる非常に抵抗の高い層の上に高品質の結晶性半導体層が形成されたい。ゆえにSOI基板が必要である。このようなSOI基板の製造方法としては、従来、貼り合わせ法が知られていた。この方法は、少なくとも主面側が鏡面研磨された第1の半導体基板よりなるベースウェハと、少なくとも主面側が鏡面研磨された第2の半導体基板よりなるボンドウェハを用い、両者のうち少なくともいずれか一方の主面に酸化膜を形成したのち、該2枚のウェハの主面同士を清浄雰囲気中で接着し、さらに、高温の結晶熱処理を行って2枚のウェハを結合させたのち、結合ウェハのボンド側裏面を平面研削および鏡面研磨してデバイス特性上必要な所定のSOI層厚さにすることでSOI基板を製造している。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来の貼り合わせSOI基板の製造方法においては、図6に示すように、予め狙いのウェハ径に成形された2枚のミラーウェハ51、52を酸化膜53を介して貼り合わせた後(図6(a))、ボンド側ウェハ52の周辺から数mmの端部をエッジ研削により接合界面近傍まで除去し(図6(b))、しかる後、NaOH等のアルカリ溶液中に浸漬し酸化膜53(SiO<sub>2</sub>)面を露出させ(図6(c))、ボンド側ウェハ52を平面研削(図6(d))、及び鏡面研磨(図6(e))していた。しかしこの方法では、エッジ研削、アルカリエッチという工程が必要であり、SOI基板の製造工程における工数の増加、スループットの低下によるコスト増加の要因となっていた。

【0005】また図7に示す別の従来技術によるSOI基板の製造方法では、予め狙いのウェハ径に成形された2枚のミラーウェハ61、62を酸化膜63を介して貼り合わせた後(図7(a))、一方のウェハ62を所定のSOI厚さ近傍まで平面研削を行い(図7(b))、ウェハ外周から数mmを残して、SOI側表面を酸性のマスキングテープ64で覆いワッパ硝酸溶液中に浸して端部のSiを除去し酸化膜63(SiO<sub>2</sub>)面を露出させ(図7(c))、鏡面研磨(図7(d))を行っていた。しかしこの方法では、マスキングテープ貼付け等が必要とされ、先の図6に示した方法と同様、SOI基板の製造工程における工数の増加、スループットの低下によるコスト増加の要因となっていた。

【0006】さらに、これら従来方法で製造したSOIウェハは、外周部においてベースウェハが外周に突出したテラス構造となる。これは、デバイス形成用に使

できるボンドウェハ間の有効領域が減少するという問題があるのみならず、デバイス形成プロセス途中でテラス構造部に残留した種々の堆積膜に起因して、又は素子間分離のためのトレンチエッチング時にベースウェハ端部のSiが露出してブラッシングの発生を誘発させたりして、甚だしい場合は、後工程でそれらが剝離し、汚染源、パーティクル源となって歩留まり低下を引き起こす原因になるという問題がある。

【0007】本発明は上記問題点に鑑みなされたもので、SOIウェハの製造コスト削減を図るとともに、デバイス形成プロセス途中のパーティクルの発生等の原因で歩留まりを低下させてしまうのを抑制することのできるSOI半導体基板の製造方法を提供することを目的とするものである。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、少なくとも主面が鏡面研磨された第1の半導体基板よりなるベースウェハ

(1)と、少なくとも主面が鏡面研磨された第2の半導体基板よりなるボンドウェハ(2)とを用い、ベースウェハ及びボンドウェハのうち少なくともいずれか一方の主面に酸化膜(3)を形成する工程と、ベースウェハ及びボンドウェハの主面同士が向かい合うように、酸化膜を介してベースウェハ及びボンドウェハを結合させ結合ウェハを形成する工程と、結合ウェハのうちボンドウェハ側の裏面を平面研削および鏡面研磨して所定のSOI層厚にする工程と、を含む貼り合わせSOIウェハの製造方法において、結合工程を終了した後に、結合ウェハの端部にベベリング処理を施すことを特徴としている。

【0009】このように、結合熱処理終了後にベベリング処理を行うことで、従来の貼り合わせSOIウェハの製造工程で必要であったエッチ研削またはマスキングテープ貼りやアルカリエッチングの工程を削減することができ、SOIウェハの製造コスト削減を図ることが出来る。また、従来のSOIウェハの製造方法では避けることのできなかったウェハ外周部におけるテラス構造をなくすることができ、デバイス形成プロセス途中においてテラス構造部の存在に起因した汚染あるいはパーティクルの発生は抑制され、歩留まりの低下を防ぐことができるという効果がある。

【0010】なお、請求項2に示すように、第1及び第2の半導体基板として、その外径が最終的に出来上がるSOIウェハの外径よりも大きな外径を持つ半導体基板を用い、ベベリング加工による径の縮小を見込むことができる。

【0011】例えば、請求項3に示すように、結合ウェハの端部に施すベベリング処理は、結合工程を終了した後、平面研削前に行うことができる。また、請求項4に示すように、平面研削終了後、鏡面研磨前に行うことが

できる。また、請求項4に示すように、鏡面研磨終了後に行ってもよい。

【0012】請求項6に記載の発明においては、第1及び第2の半導体基板として、ベベリング処理が施されていない半導体基板を用いることを特徴としている。

【0013】結合ウェハをベベリング処理することによって、2枚のウェハそれぞれをベベリング処理する必要がなくなるため、2枚のウェハとしてベベリング処理が施されていない半導体基板を用いることが可能である。

【0014】ただし、請求項7に示すように、第1及び第2の半導体基板として、ベベリング処理が施されている半導体基板を用いてもよい。

【0015】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0016】

【発明の実施の形態】(第1実施形態)本発明の第1実施形態を図1に基づいて説明する。図1は、SOI基板の製造工程を示している。以下、図1に基づいて本実施形態におけるSOI基板の製造方法を説明する。

【0017】(図1(a)に示す工程)まず、少なくとも一方の主面が鏡面研磨された第1の半導体基板としてのベースウェハ1と、少なくとも一方の主面が鏡面研磨された第2の半導体基板としてのボンドウェハ2を用意する。そして、両ウェハのうち少なくともいずれか一方の主面に例えば酸化性雰囲気中1050℃の熱処理を行って1μm程度の酸化膜(SiO<sub>2</sub>)3を形成した後、2枚のウェハの主面同士が向かい合うように清浄雰囲気中で接合し、例えば酸化性もしくは窒素雰囲気中で1100℃、1Hr程度の結合熱処理を行い結合ウェハ4を作成する。

【0018】(図1(b)に示す工程)次に、上記結合ウェハ4のうちボンドウェハ2の裏面(接合面と反対側の主面)から平面研削を行い、狙いのSOI厚近傍の厚さまで薄く削る。この時、研削は荒研削から仕上げ研削へと適宜砥石の番手を変えて研削し、なるべく研削による破砕層が深くまで残らないようにすることが望ましい。

【0019】(図1(c)に示す工程)次に、上記平面研削を終了した結合ウェハ4の端部を砥石を使ってベベリング処理(面取り加工)する。このベベリング処理は、図2に示すような略円形状の凹部を有する砥石4を用いて行われる。この時、酸化膜3のうち結合ウェハ4の端部および裏面に位置する部分は、砥石4の焼き付きや摩耗を防ぐ目的で、予め希フッ酸溶液ディップ等の手段で取り除いておく。ただし、結合界面の埋め込み部分の酸化膜3が厚い場合には応力の影響でウェハ4に反りが生ずるので、裏面の酸化膜3を意図的に残すようにするのが望ましい。このためには例えばボットチャックのような器具を用いる等で、酸化膜3のうちベースウェハ

2の端部に位置する部分のみを除去し裏面の酸化膜を残すようにしても良い。

【0020】図1(d)に示す工程)ベリング処理が終了したならば、次に鏡面研磨を行う。これにより、SOIウェハが構成される。なお、この鏡面研磨は通常行われているように、1次研磨、2次研磨、仕上げ研磨の順に行い所定のSOI厚でデバイスレードの鏡面を得る。最後に洗浄を行ってSOI基板が完成する。

【0021】上記実施形態において、最初に用いる第1および第2の半導体基板としてのベースウェハ1及びボンドウェハ2の外径は、出来上りの(結合ウェハ4をベリング処理した後に要求される)SOIウェハの外径より大きい半導体基板を用いることが望ましい。何故ならば、ベリング処理(図1(c)参照)においては、ウェハ端部の面取りを行う結果、ウェハの外径も小さくなる場合があるからである。

【0022】また、上記実施形態においては、最初に用いる第1および第2の半導体基板としてのベースウェハ1及びボンドウェハ2の端部にはベリング処理を行っていないものを使用している。すなわち、インゴットからスライシングしたウェハにラッピング、エッチング、洗浄を行った状態のウェハを用い、2枚のウェハ1、2を結合した後、結合ウェハ4を一体としてベリングする。これにより、従来行われていた第1および第2の半導体基板それぞれのベリング工程を削減することができる。

【0023】また、上記実施形態においては、ウェハ結合後にベリング処理を行い、最終的に出来あがるSOI基板の略半分の厚みのところで径が最大となるように、ボンドウェハ、ベースウェハ共に面取り加工される。従って、平面研削、鏡面研磨によって薄膜化された後の貼り合わせSOI基板は、その断面形状が特にその表面の研磨面において一枚の鏡面ウェハと同じになると共に、周縁部には外見にもなだらかに面取りがなされ、いわゆるテラス構造が形成されない。また、同構造のSOI基板を略同径のボンドウェハ、ベースウェハを用いて形成することができる。

【0024】このように、本実施形態によれば、結合熱処理終了後にベリング処理を行うことで、従来の貼り合わせSOIウェハの製造工程で必要であったエッジ研削またはマスキングテープ貼りとアルカリエッチングの工程を削減することができ、SOIウェハの製造コスト削減を図ることが出来る。また、従来のSOIウェハの製造方法では避けることでできなかったウェハ外周部におけるテラス構造をなくすることができる。これにより、実際にボンドウェハ側にデバイス形成を行う際にテラス構造部の存在に起因して従来発生していたテラス構造部からの堆積膜剥離やテラス構造部でのブラックシリコンの発生等によるパーティクルの発生等を抑制でき、歩留まりの低下を防ぐことができるという効果がある。

【0025】(第2実施形態)図3に、本発明の第2実施形態におけるSOI基板の製造工程を示す。本実施形態のうち第1実施形態と異なる点は、図3(b)に示す工程であり、結合後のベリング処理を結合熱処理終了後、平面研削前に行うことである。この場合、最終的に出来上がるSOI基板の略半分の厚みのところで径が最大になるような形状にベリングする。このようにしても第1実施形態と同様の効果が得られる。

【0026】なお、図3(a)に示す工程は図1(a)に示すウェハ貼り合わせ工程に相当し、図3(c)、(d)に示す工程は各々図1(b)の平面研削、図1(d)の鏡面研磨の各工程に相当している。

【0027】(第3実施形態)図4に、本発明の第3実施形態におけるSOI基板の製造工程を示す。本実施形態のうち第1実施形態と異なる点は、図4(d)に示す工程であり、結合後のベリング処理を鏡面研磨終了後に行う点である。このようにしても第1実施形態と同様の効果が得られる。

【0028】なお、図4に示す各工程は、図1に示す各工程のうち、図1(c)に示す工程と図1(d)に示す工程の順序を入れ替えたものに相当する。

【0029】(第4実施形態)図5に、本発明の第4実施形態におけるSOI基板の製造工程を示す。本実施形態のうち第1実施形態と異なる点は、図5(a)に示す工程であり、最初に用いる第1および第2の半導体基板として、通常と同様ベリング処理が施されている基板を用いている点である。予めベリング処理が行われていてもウェハの外径が大きければ、結合熱処理後に結合ウェハを一体としてベリング処理を行うことで、上記第1実施形態と同じ効果を実現することができる。なお、図5(b)以降の工程については図1(b)以降の工程と同様であるが、もちろん第2〜第4実施形態のごとくベリング処理、平面研削、鏡面研磨の各工程の順序を入れ替えるようにしてもよい。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態におけるSOI基板の製造工程を示す図である。

【図2】ベリング処理の様子を示す図である。

【図3】本発明の第2実施形態におけるSOI基板の製造工程を示す図である。

【図4】本発明の第3実施形態におけるSOI基板の製造工程を示す図である。

【図5】本発明の第4実施形態におけるSOI基板の製造工程を示す図である。

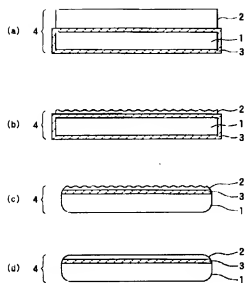
【図6】従来のSOI基板の製造工程を示す図である。

【図7】従来のSOI基板の製造工程を示す図である。

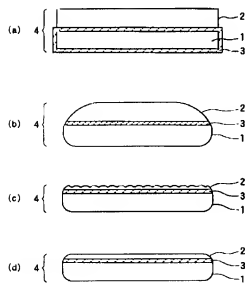
#### 【符号の説明】

1…ベースウェハ、2…ボンドウェハ、3…酸化膜、4…結合ウェハ。

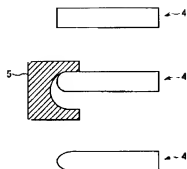
【図1】



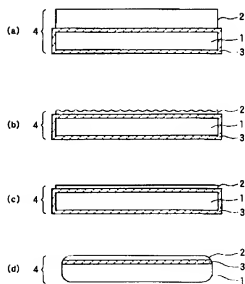
【図3】



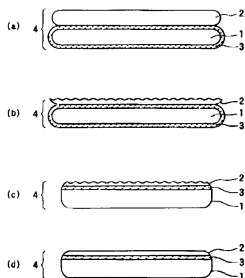
【図2】



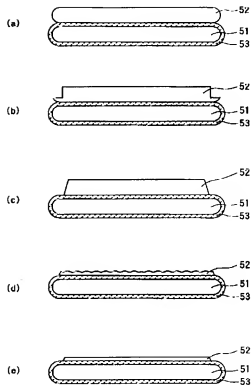
【図4】



【図5】



【図6】



【図7】

